



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04025764 A**(43) Date of publication of application: **29.01.92**

(51) Int. Cl.

**G01P 15/12
H01L 27/00**(21) Application number: **02130921**(71) Applicant: **NEC CORP**(22) Date of filing: **21.05.90**(72) Inventor: **KONDO YUJI**(54) **SEMICONDUCTOR ACCELERATION SENSOR**

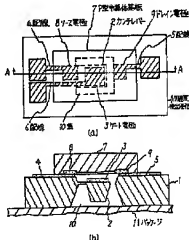
(57) Abstract:

PURPOSE: To obtain the sensor which is higher in speed, is reduced in electric power consumption and is improved in measurement accuracy by adopting the constitution having an acceleration detecting substrate formed by micromachining of a silicon substrate and a semiconductor substrate formed with both source and drain electrodes.

CONSTITUTION: A cantilever 2 is formed in the acceleration detecting substrate 1 by micromachining. A gate electrode 3 is formed in the upper part thereof and a bias voltage is impressed thereto by an external wiring 6. An impurity, such as phosphorus, is diffused to the P type semiconductor substrate 7 to form the source electrode 8 and drain electrode 9 which are connected by wirings 4, 5 to the outside. A change in the acceleration is substd. with a change in the gate voltage of the N type MOS transistor having the electrodes 3, 8, 9 and is measured as a change in the drain current. The acceleration is, therefore, detected with the higher accuracy by sensing the slight change in the position of the cantilever and the electric power consumption is reduced as the higher setting of the input impedance is possible. In addition, the

measurement accuracy is improved by the low output impedance.

COPYRIGHT: (C)1992,JPO&Japio



⑫ 公開特許公報(A) 平4-25764

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月29日

G 01 P 15/12
H 01 L 27/00

7187-2F
7514-4M

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 半導体加速度センサ

⑯ 特 願 平2-130921

⑰ 出 願 平2(1990)5月21日

⑱ 発 明 者 近 藤 祐 司 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

〔産業上の利用分野〕

発明の名称

半導体加速度センサ

本発明は半導体加速度センサに関し、特にMOSトランジスタを用いた半導体加速度センサに関する。

〔従来の技術〕

従来、かかる半導体加速度センサは加速度を検出する素子にゲージ抵抗を用いるものが知られている。

第5図(a)、(b)はそれぞれ従来の一例を示す半導体加速度センサの断面図およびそのC-C横断面図である。

第5図(a)、(b)に示すように、従来の半導体加速度センサはシリコン基板20と、このシリコン基板20の中にマイクロマシーニング加工により形成したカンチレバー21と、カンチレバー21とシリコン基板20の接合部に配置した複数のゲージ抵抗24と、これらのゲージ抵抗24を通るように基板20上に形成された配線23およびパッド22とを有しており、カンチレバー21の周囲には溝25が形成されている。尚、26

特許請求の範囲

1. シリコン基板をマイクロマシーニング加工した加速度検出基板と、ソース電極及びドレイン電極を形成した半導体基板とを有することを特徴とする半導体加速度センサ。

2. 請求項1記載の半導体加速度センサにおいて、加速度検出基板と半導体基板によりMOS型トランジスタを構成することを特徴とする半導体加速度センサ。

3. 請求項2記載のMOS型トランジスタは、測定対象の加速度をゲート電位の変化に変換して検出することを特徴とする半導体加速度センサ。

発明の詳細な説明

はシリコン基板 20 を搭載するためのパッケージである。

かかる半導体加速度センサの動作についてみると、カンチレバー 21 がシリコン基板 20 と一面でのみ接続されているので、加速度が加わるとこの一面を中心としてカンチレバー 21 が振動する。このカンチレバー 21 の周辺部にゲージ抵抗 24 がホイーストブリッジを構成するように 4 個形成しているが、このゲージ抵抗 24 はシリコン基板 20 に不純物を拡散して形成した拡散抵抗である。また、各抵抗間にはアルミニウム等の導電性物質の配線 23 で接続されているので、拡散抵抗であるゲージ抵抗 24 の抵抗値が加速度によって励起されたカンチレバー上の歪みにより変化すると、ホイーストブリッジのバランスが変化し、加速度に比例した出力が得られる。

かかる半導体加速度センサは、シリコン基板 20 にカンチレバー 21 を形成し、このカンチレバー 21 の上部に加速度検出素子としてゲージ抵抗 24 を形成しているため、加速度に対する感度

は、カンチレバーの厚さと重量（構造条件）およびゲージ抵抗値と駆動電流（電気条件）の 2 条件により決定されている。

〔発明が解決しようとする課題〕

上述した従来の半導体加速度センサを高感度化するにはそれぞれの構造条件および電気条件を以下のようにする手段が考えられる。

第一の構造条件についてみると、カンチレバーの根本の部分の厚さを薄くするか、またはおもりの部分の体積を大きくし、重量を増す構造が考えられる。しかしながら、カンチレバーの厚さは、加速度に対する感度の直線性や測定範囲により下限値が約 10 μm 程度に規定されており、また、カンチレバーのおもり部の体積もチップサイズとウェハの厚さにより上限が決っている。

一方、第二の電気条件についてみると、センサ出力は駆動電圧とゲージ抵抗の変化率の積になる。このゲージ抵抗の変化率は抵抗の不純物濃度と位置により調節可能であるが、最大でもせいぜい約数%でしかない。また、駆動電圧について

は、センサの仕様からその上限値が決定されている。

従って、以上のことから従来の半導体加速度センサの高感度化には、構造条件および電気条件いづれにも限度があり、大幅な高感度化を実現出来ないという欠点がある。

本発明の目的は、かかる高感度化を実現し、その上低消費電力化および測定精度の向上等を実現することのできる半導体加速度センサを提供することにある。

〔課題を解決するための手段〕

本発明の半導体加速度センサは、シリコン基板をマイクロマシーニング加工した加速度検出基板と、ソース電極及びドレイン電極を形成した半導体基板とを有して構成される。

〔実施例〕

次に、本発明の実施例について図面を用いて説明する。

第 1 図 (a)、(b) はそれぞれ本発明の第一の実施例を示す半導体加速度センサの平面図およ

びその A-A 線断面図である。

第 1 図 (a)、(b) に示すように、本実施例はカンチレバー 2 を形成した加速度検出基板 1 と、p 型半導体基板 7 とを有している。まず、カンチレバー 2 は加速度検出基板 1 中にマイクロマシーニング加工により形成し、次にこのカンチレバー 2 の上部にゲート電極 3 をアルミニウム等の導電性物質により形成し、さらに外部から配線 6 によりバイアス電圧を印加できるようにする。一方、P 型半導体基板 7 に形成されるソース電極 8 とドレイン電極 9 は、P 型の半導体基板 7 にりん等の不純物を拡散して形成する。また、これらソース電極 8 とドレイン電極 9 もアルミニウム等の導電性物質により形成された配線 4、5 により外部と接続する。尚、カンチレバー 2 はその周囲に溝 10 が形成される。

第 2 図 (a)、(b) はそれぞれ第 1 図 (a)、(b) に示す半導体加速度センサの加速度検出回路図および動作特性図である。

まず、第 2 図 (a) に示すように、N 型 MOS

トランジスタ12は、第1図(a)に示すゲート電極3と、ソース電極8およびドレイン9を有し、ゲートとソースおよびドレインの各電圧は、MOSトランジスタ12が飽和領域で動作するように、ゲート・ソース間電圧電源14と、ドレイン・ソース間電圧電源15とを印加する。このときのドレイン電流 I_D を電流計13で計測する。

次に、第2図(b)に示すように、上述した半導体加速度センサに第1図(b)の下部、すなわちバックージ11側から加速度が加わった状態で説明する。加速度によりゲート電極3とP型半導体基板7間の距離が縮まると、等価的に第2図(a)に示すゲート・ソース間電圧電源14の電圧が増加したことになる。これにより、動作点16はゲート電圧 V_{GS} が増加する方向、すなわち右側になってドレイン電流 I_D が増加する。このドレイン電流 I_D の増加は電流計13により計測される。

一方、加速度が上方より加わった場合には、上

述の説明と反対に動作点16を左方向へ推移し、ドレイン電流 I_D が減少する。

このように、本実施例の半導体加速度センサは加速度の変化をN型MOSトランジスタのゲート電圧 V_{GS} の変化に置き換え、ドレイン電流 I_D の変化として計測する。

第3図(a)、(b)はそれぞれ本発明の第二の実施例を示す半導体加速度センサの平面図およびそのB-B線である。

第3図(a)、(b)に示すように、本実施例もカンチレバー2を加速度検出基板1にマイクロマシーニング技術により形成し、このカンチレバー2の上部にゲート電極3を形成する。形成方法は蒸着もしくはスパッタリングにより金属膜を付けるか、イオン注入もしくは熱拡散により不純物を拡散して形成する。また、ソース電極8およびドレイン電極9は、N型半導体基板17にボロン等を拡散して形成し、さらにこれらソース電極8およびドレイン電極9を効能度のボロン拡散により形成された配線4、5によりパッド18と接続

する。

本実施例は前述した第一の実施例と比較し、P型の半導体基板の代りにN型の半導体基板17を使用していること、および配線4にアルミニウム等の金属の代りに高濃度拡散配線を使用していることの2点が構造的に異なり、その動作原理は同様である。

第4図(a)、(b)はそれぞれ第3図(a)、(b)に示す半導体加速度センサの加速度検出回路図および動作特性図である。

第4図(a)、(b)に示すように、本実施例における動作は第2図(a)、(b)における動作と比較し、異なっている点はN型MOSトランジスタ12をP型MOSトランジスタ19にしたことにある。これは半導体基板としてN型半導体基板17を使用したことにより、その使用方法も電圧および電流の向きが反対になる点を除けば同様である。

〔発明の効果〕

以上説明したように、本発明の半導体加速度セ

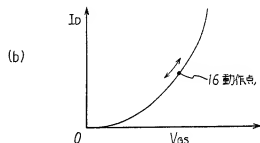
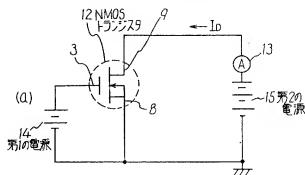
ンサは、加速度検知素子にトランジスタを使用することにより、加速度によるカンチレバーの微小な位置変化をゲート電圧の変化として感知するので、高感度な加速度検知を実現でき、しかも入力インピーダンスを極めて高く設定できるので、低消費電力化を実現できるとともに、出力インピーダンスは約数十 Ω と低いので、測定精度を向上でき且つ加速度が加わらなくても一定のドレイン電流が流れているので、常に動作チェックを行なうことができるので高信頼性が得られるという各種の効果がある。

図面の簡単な説明

第1図(a)、(b)はそれぞれ本発明の第一の実施例を示す半導体加速度センサの平面図およびそのA-A線断面図、第2図(a)、(b)はそれぞれ第1図(a)、(b)に示す半導体加速度センサの加速度検出回路図および動作特性図、第3図(a)、(b)はそれぞれ本発明の第二の実施例を示す半導体加速度センサの平面図および

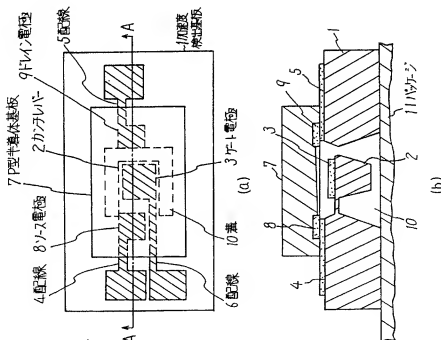
そのB-B線断面図、第4図(a)、(b)はそれぞれ第3図(a)、(b)に示す半導体加速度センサの加速度検出回路図および動作特性図、第5図(a)、(b)はそれぞれ従来の一例を示す半導体加速度センサの断面図およびそのC-C線断面図である。

1…加速度検出基板、2…カンチレバー、3…ゲート電極、4〜6…配線、7…P型半導体基板、8…ソース電極、9…ドレイン電極、10…溝、11…パッケージ、12…N型MOSトランジスタ、13…電流計、14…ゲートソース間電圧電源(第一の電源)、15…ドレインソース間電圧電源(第二の電源)、16…動作点、17…N型半導体基板、18…パッド、19…P型MOSトランジスタ、 I_D …ドレイン電流。



代理人 井理士 内 原 晋

第 2 図



第 1 図

